

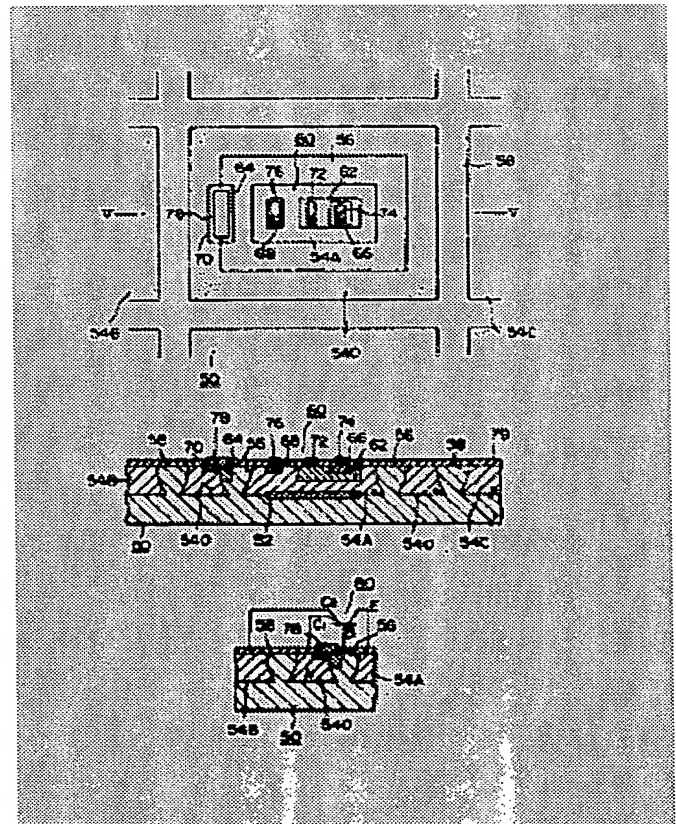
# INTEGRATED CIRCUIT FOR DC LOAD

**Patent number:** JP56098839  
**Publication date:** 1981-08-08  
**Inventor:** NISHIMURA KIYOSHI  
**Applicant:** ROHM CO LTD  
**Classification:**  
- **International:** H01L21/76; H01L27/04; H01L29/72  
- **European:**  
**Application number:** JP19800001643 19800110  
**Priority number(s):**

## Abstract of JP56098839

**PURPOSE:** To prevent erroneous operations to be caused by the parasitic transistor effects, by forming the capacitive or inductive DC load and the transistor for driving in the epitaxially grown layer separated with the established interval and by giving to such middle part of the layer within the epitaxial layer the preliminarily established voltage.

**CONSTITUTION:** The N type epitaxially grown layer on the P type substrate having the N $\rightarrow$  buried layer is separated by P layers 56, 58. The base 62, 64 are formed in the N layers 54A, 56, the emitters 66, 68, 70 are formed in the layers 62, 54A, 540, and the transistor 60 is formed. The electrode is formed over the layers 64, 70, and the substrate 50 and the separated layer 540 is connected and earthed. The turnover of N layer 54A, 540 by Al electrode is prevented by the layers 68, 70. In this formation, the parasitic transistor 80 is formed through the layers 54A, 54B. When the transistor 60 is set in motion and the layer 54A goes below the electric potential on earthing, the current is fed for the most part from the layer 540 to the transistor 80. There are hardly any undesirable effects to the DC load circuit in the layers 54B, 54C, and the erroneous operations can be prevented.



⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭56-98839

⑮ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑯ 公開 昭和56年(1981)8月8日

H 01 L 21/76

6426-5F

27/04

7210-5F

29/72

7514-5F

発明の数 1

審査請求 有

(全 6 頁)

⑮ 直流負荷駆動用集積回路

京都市右京区西院溝崎町21番地

株式会社東洋電具製作所内

⑰ 特 願 昭55-1643

⑰ 出 願 人 株式会社東洋電具製作所

⑱ 出 願 昭55(1980)1月10日

京都市右京区西院溝崎町21番地

⑲ 発 明 者 西村清

⑲ 代 理 人 弁理士 畠本正一

明 細 書

1. 発明の名称

直流負荷駆動用集積回路

2. 特許請求の範囲

1. 半導体基板上に成長させたエピタキシャル層に複数の回路素子とともに形成され、容量性若しくは誘導性の直流負荷を駆動する駆動用トランジスタを含んで構成される直流負荷駆動用集積回路において、少なくとも前記駆動用トランジスタが形成されるエピタキシャル層の範囲を一定の間隔で形成した第1の分離拡散層と第2の分離拡散層とで他の回路素子の形成される範囲より区画分離し、第1及び第2の分離拡散層の間隔内に存在する分離エピタキシャル層を、区画されたエピタキシャル層間に生起する寄生トランジスタの注入電流の供給源となり得る電位に接続したことを特徴とする直流負荷駆動用集積回路。

2. 前記分離エピタキシャル層に高濃度低抵抗層を形成したことを特徴とする特許請求の範囲第

1 項に記載の直流負荷駆動用集積回路。

3. 前記分離エピタキシャル層は第1の分離拡散層及び半導体基板を介して接地電位に接続したことを特徴とする特許請求の範囲第1項に記載の直流負荷駆動用集積回路。

3. 発明の詳細な説明

この発明は集積回路に係り、特に容量性若しくは誘導性の直流負荷をスイッチング駆動する場合に、分離拡散層を介して互に隣接するエピタキシャル層間に生起する寄生トランジスタ効果の悪影響を防止する直流負荷駆動用集積回路に関する。

集積回路は単一の半導体基板上に複数の回路素子を形成して電子回路を構成したブロックであり、半導体基板上の各回路素子は分離拡散層で電気的に隔離されている。第1図は半導体基板上に形成された直流負荷駆動用集積回路の等価回路を示し、この集積回路はモータ2の駆動電流をNPN形トランジスタ4、6、8、10、12、14及び抵抗16、18で制御できるように構成されている。即ち、入力端子22に入力される正転制御信号でトランジスタ

4、6、8がオン状態に成り、また、入力端子24に入力される逆転制御信号でトランジスタ10、12、14がオン状態に成るので、モータ2に供給される電源端子26からの駆動電流の方向が端子A、B間において切換え制御されるため、モータ2の回転方向が制御される。このようにモータ2のような直流負荷をスイッチング駆動する場合、スイッチングで直流負荷に流れている駆動電流の方向が切り換わる直後、端子A、B間には逆誘導起電力の発生で端子A又はBが接地(OND)電位より低い異常電位に至ることが知られている。このような場合、トランジスタ6、8、12、14等の回路素子の形成される隣接したエピタキシャル層間に生じる寄生トランジスタが作動することになる。

第2図は回路素子の形成されるエピタキシャル層の分離拡散層による隔離構造を示し、P形半導体基板30に成長させたN形エピタキシャル層はP形分離拡散層32の形成でN形エピタキシャル層34、36のように区画され、各N形エピタキシャル層34、36に適宜回路素子が形成される。各エピタキシャ

(3)

スタ38の電流増幅率 $\beta$ に応じてベース電流の $\beta$ 倍の電流がコレクタ電流として隣接するN形エピタキシャル層36からN形エピタキシャル層34へ流入する。このコレクタ電流は隣接するエピタキシャル層36から供給されるので、このエピタキシャル層36に形成されている回路素子に流れる電流の一部が流出することとなり、この回路素子及びこの回路素子を含む回路に悪影響を及ぼすことになる。

このような寄生効果を防止するため、第3図に示すようにN形エピタキシャル層34に外部端子40を設け、この外部端子40を外付けのダイオード42を介して接続することにより、N形エピタキシャル層34が接地電位より低下しないようにする方法が考えられている。この方法は、ダイオード42を外付け部品として必要とし、しかも接続用の外部端子40も設けなければならぬ欠点がある。さらに、ダイオード42の接続に用いるリードには良導体が用いられるものの、わずかな抵抗分の存在で電圧降下を生じ、N形エピタキシャル層を寄生トランジスタが動作しない電位に保持することがで

(5)

る層34、36間の電気的な隔離は、P形半導体基板30及び分離拡散層32を接地電位に接続してP形半導体基板30とN形エピタキシャル層34又は36との間におけるPN接合を逆バイアスとすることにより維持されている。しかしながら、N形エピタキシャル層36に前記のような容量性若しくは誘導性の直流負荷を駆動する回路素子が形成されている場合には、逆誘導起電力の発生でN形エピタキシャル層34が接地電位よりさらに低い電位に成る場合がある。このような場合P形半導体基板30及びP形分離拡散層32とN形エピタキシャル層34との間に維持されている逆バイアスが解除され、P形半導体基板30及びP形分離拡散層32即ちP形層からN形エピタキシャル層34へ電流が流入することになる。即ち、N形エピタキシャル層34をコレクタC、P形層をベースB及び隣接するN形エピタキシャル層36をエミッタEとする時、寄生トランジスタ38が動作する。この寄生トランジスタ38はP形層からN形エピタキシャル層34への流入電流をベース電流とし、寄生トランジ

(4)

きない。このため、N形エピタキシャル層は寄生トランジスタが動作する電位に近い電位になるとになり、寄生トランジスタ効果による影響を完全には除去できないものである。

また、他の方法としてP形分離拡散層32の幅を拡大して寄生トランジスタ38の有する電流増幅率 $\beta$ を低下させ、寄生トランジスタ効果の軽減を図る方法が考えられている。しかしながら、P形分離拡散層32の幅の拡大には占有面積を増大させることから限界があり、この方法によっても $\beta$ の十分な低下は期待できず、寄生トランジスタ効果の大幅な軽減は図り得ないものである。

この発明は以上の点に鑑みなされたもので、ダイオード等の外付け部品を付加しない極めて簡単な構成で、寄生トランジスタ効果による影響を除去し、振動作を生じない信頼性の高い直流負荷駆動用集積回路の提供を目的とする。

この発明は、半導体基板上に成長させたエピタキシャル層に複数の回路素子とともに形成され、容量性若しくは誘導性の直流負荷を駆動する駆動

(6)

用トランジスタを含んで構成される直流負荷駆動用集積回路において、少なくとも前記駆動用トランジスタが形成されるエピタキシャル層の範囲を一定間隔で形成した第1の分離拡散層と第2の分離拡散層とで他の回路素子の形成される範囲より区画分離し、分離されたエピタキシャル層間に生起する寄生トランジスタの注入電流の供給源となり得る電位に、前記第1及び第2の分離拡散層の間隔内に存在する分離エピタキシャル層を接続したことを特徴とするものである。

以下、この発明の一実施例を図面に基づき詳細に説明する。

第4図は直流負荷駆動用集積回路の構成を示し、第5図は第4図のV-V線に沿う断面を示している。図において、P形半導体等で形成された半導体基板50には埋め込み層52、N形エピタキシャル層54A、54B、54C及びN形分離エピタキシャル層540が形成されている。埋め込み層52は所定の処理が施された半導体基板50を拡散炉に入れて高濃度のドナーを選択的に拡散させて形成され、ま

(7)

に隣接するN形エピタキシャル層54B、54Cには図示しないが直流負荷駆動回路の回路素子が形成される。

N形エピタキシャル層54A及び第1のP形分離拡散層56には、アクセプタを拡散して同時に形成されたベース拡散領域62、64が設けられ、さらに、ベース拡散領域62、N形エピタキシャル層54A及びN形分離拡散層540にはドナーを拡散して同時に形成されたエミッタ拡散領域66、68、70が設けられている。そして、ベース拡散領域62にはベース電極72、エミッタ拡散領域66にはエミッタ電極74、及びエミッタ拡散領域68にはコレクタ電極76が形成されて前記トランジスタ60が構成されている。また、ベース拡散領域64及びエミッタ拡散領域70には両者に跨って電極部78が形成され、N形分離エピタキシャル層540が電極部78、第1のP形分離拡散層56を介して半導体基板50に電気的に接続され、接地(GND)電位に保持されている。各電極72、74、76及び電極部78はアルミニウム蒸着で同時に形成され、電気的結合を確実にするた

(9)

た、各N形エピタキシャル層54A、54B、54C、540はエピタキシャル成長炉で埋め込み層52の形成された半導体基板50の表面にエピタキシャル結晶層を成長させて1つのエピタキシャル層として一体的に形成される。これらは周知のウェーハ処理工程で処理される。そして、半導体基板50に形成されたエピタキシャル層に第1及び第2のP形分離拡散層56、58を所定の間隔を置いて形成することで、一定の範囲に区画分離されたN形エピタキシャル層54A、54B、54C及びN形分離エピタキシャル層540が形成されている。この処理は分離拡散用のマスクを変更するのみで、第1及び第2のP形分離拡散層56、58を同時に形成して行われる。

第1及び第2のP形分離拡散層56、58及びN形分離エピタキシャル層540で区画されたN形エピタキシャル層54Aには容量性若しくは誘導性の直流負荷を駆動する駆動用トランジスタ60が形成され、例えば第1図中のトランジスタ8又は14が形成される。また、このN形エピタキシャル層54A

(8)

め合金化され、集積回路の表面には酸化膜79が形成されている。なお、前記エミッタ拡散領域68、70は、電気的結合のために使用されるアルミニウムの接合によって生じるN形のエピタキシャル層54A、540がP形に反転することを防止し、正常なオーミックコンタクトを得るために形成されている。

以上のよう構成したので、N形エピタキシャル層54A、54B間に生起する寄生トランジスタ80は、第6図に示すように、N形エピタキシャル層54AをエミッタE、第1のP形分離拡散層56をベース、N形分離エピタキシャル層540を第1のコレクタC<sub>1</sub>、N形エピタキシャル層54Bを第2のコレクタC<sub>2</sub>として構成される。N形エピタキシャル層54Aには容量性若しくは誘導性の直流負荷を駆動する駆動用トランジスタ60が形成されており、そのスイッチング動作によってN形エピタキシャル層54Aが接地電位以下になる場合、寄生トランジスタ80のベースである第1のP形分離拡散層56からエミッタ即ちN形エピタキシャル層54Aに向

(10)

って流れるベース電流即ち流入電流の $\mu$ 倍のコレクタからエミッタに流入することになる。しかしながら、この寄生トランジスタ80には2個のコレクタ $C_1$ 、 $C_2$ が存在し、エミッタには各コレクタ $C_1$ 、 $C_2$ からコレクタ電流が流入することになるが、構成上コレクタ電流の大部分は第1のコレクタ $C_1$ から供給されることになるので、第2のコレクタ $C_2$ から供給されるコレクタ電流は極めて少ない。換言すれば、N形エピタキシャル層54Aが接地電位以下になった場合に流れる流入電流の大部分は第1のP形分離拡散層56及びN形分離エピタキシャル層540より供給されるので、隣接するN形エピタキシャル層54Bから流入する電流は全んど無視できる程度の僅少となる。この結果、隣接するN形エピタキシャル層54B、54Cに形成される回路素子への寄生トランジスタ効果による悪影響は除去され、直流負荷駆動回路の誤動作の発生は未然に防止でき、信頼性の高い動作を得ることができる。

このような寄生効果の防止について、N形分離

(11)

第8図に示すN形分離エピタキシャル層540には、N形エピタキシャル層54Aの範囲に形成された埋め込み層52と同時に形成した埋め込み層82に到達するN形高濃度低抵抗層84が形成されており、このN形高濃度低抵抗層84の表面に形成したエミッタ拡散領域86と第1のP形分離拡散領域56のベース拡散領域64とはその表面に形成された電極部88で電気的に結合されている。このような構成によれば、N形高濃度低抵抗層84でN形分離エピタキシャル層540の抵抗が低下するため、N形分離エピタキシャル層540からの流入電流容量をさらに増大でき、寄生効果による隣接するN形エピタキシャル層54B、54Cへの悪影響を一層広範囲に減少させることができる。

また、前記実施例におけるN形分離エピタキシャル層540は駆動トランジスタ60が形成されるN形エピタキシャル層54Aを全面的に包囲する形で形成されているが、第9図及び第10図に示すように、一部の範囲を包囲するように形成しても同様の効果が得られる。即ち、寄生効果が生じないか

03

エピタキシャル層540からの流入電流の供給が極めて重要となっているが、N形分離エピタキシャル層540はその供給源となる電位に接続することが不可欠である。この実施例の場合、N形分離エピタキシャル層540は電極部78、第1のP形分離拡散層56及び半導体基板50を介して接地電位に接続されている。流入電流はN形エピタキシャル層54Aが接地電位以下に低下した場合に流れるので、接地電位はその供給として十分に機能し得る。このように接地電位で供給源を構成すれば、第1のP形分離拡散層56とN形分離エピタキシャル層540とを電極部78で電気的に接続することによって達成できるので、極めて容易で便利である。

また、供給源には別個の正電源のように高電位のものを使用してもよく、この場合には第7図に示すように、N形分離エピタキシャル層540の中央に形成したエミッタ拡散領域70Aに電極78Aを形成し、この電極78Aに電源を接続する。

次にN形分離エピタキシャル層540を第8図ないし第10図について説明する。

(12)

或いは生じても問題とならない部分に対してはN形分離エピタキシャル層540は不要だからである。従って、N形エピタキシャル層540Aに隣接するエピタキシャル層が半導体基板50の端部に存在している場合には、回路素子が形成されていないので、端部側のエピタキシャル層からの流入電流は問題になり得ず、N形分離エピタキシャル層540をあえて形成する必要はない。

以上説明したようにこの発明によれば、駆動トランジスタの形成されているエピタキシャル層が第1及び第2の分離拡散層と分離エピタキシャル層とで他の回路素子の形成されるエピタキシャル層から区画分離され、しかも分離エピタキシャル層に寄生トランジスタの流入電流の供給源となり得る電位を接続したので、容量性若しくは誘導性の直流負荷の駆動トランジスタによるスイッチング動作で逆誘導起電力が発生しても寄生トランジスタの流入電流による他の回路素子の誤動作の発生は未然に防止でき、信頼性の高い直流負荷駆動回路として構成できる。しかも、外付け部品を必

04

要としていないので、構成が極めて簡略化でき、従来の分離拡散層の幅を拡大する方法に比較して寄生効果による弊害の発生防止は完全になるとともに、分離拡散層の占有面積の増加が抑制できる。

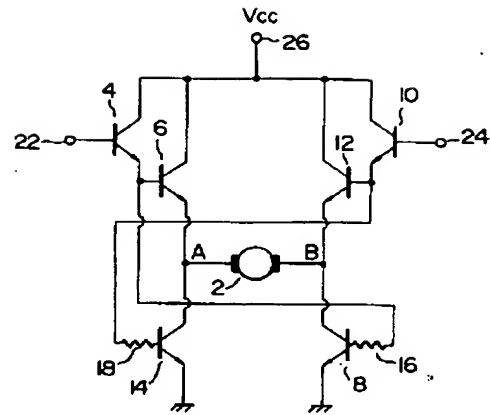
#### 4. 図面の簡単な説明

第1図は直流負荷駆動用集積回路の等価回路を示す回路図、第2図は寄生トランジスタ効果を示す説明図、第3図は従来の寄生効果防止用の回路を示す回路図、第4図はこの発明の直流負荷駆動用集積回路の一部を示す説明図、第5図は第4図のV-V線に沿う断面図、第6図は寄生効果防止の作用を示す説明図、第7図ないし第9図はこの発明の他の実施例を示す説明図、第10図は第9図のX-X線に沿う断面図である。

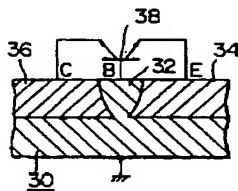
50…半導体基板、54A、54B、54C…エピタキシャル層、540…分離エピタキシャル層、56…第1の分離拡散層、58…第2の分離拡散層、84…高濃度低抵抗層。

代 届 人   弁 理 士   秋 本 正 一

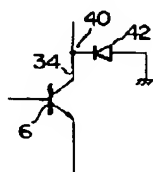
第 1 図



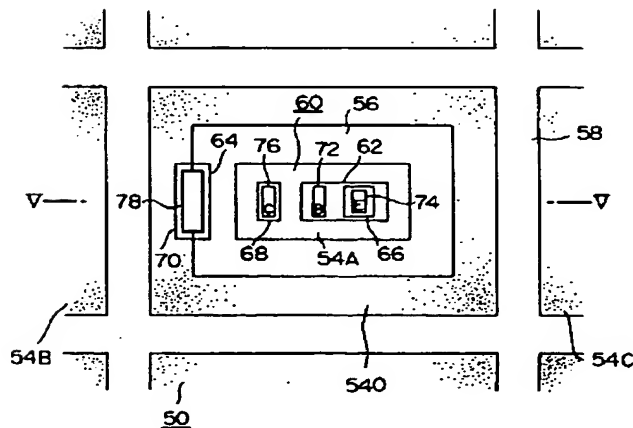
第 2 図



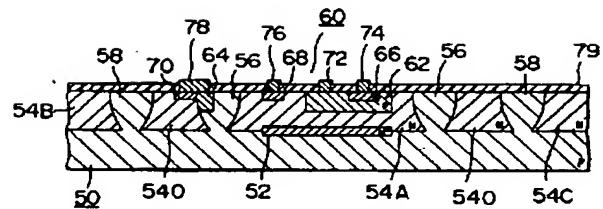
第 3 図



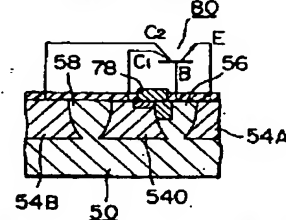
第 4 図



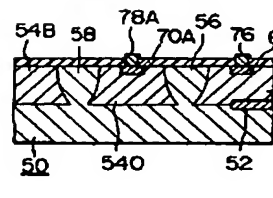
第 5 図



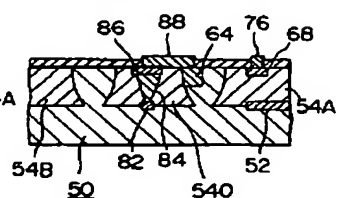
第 6 図



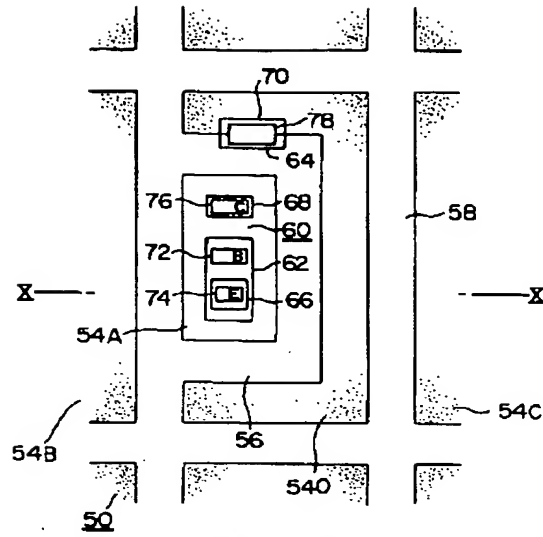
第 7 図



第 8 図



第 9 圖



第 10 圖

